

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018223

International filing date: 07 December 2004 (07.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-430738
Filing date: 25 December 2003 (25.12.2003)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

PCT/JP 2004/018223

日 本 国 特 許 庁
JAPAN PATENT OFFICE

09.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 5 日
Date of Application:

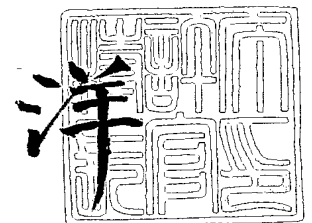
出 願 番 号 特 願 2 0 0 3 - 4 3 0 7 3 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 3 0 7 3 8]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 5 年 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 2 3 2 2 7

【書類名】 特許願
【整理番号】 2706450005
【提出日】 平成15年12月25日
【あて先】 特許庁長官殿
【国際特許分類】 H03H 11/04
H03H 11/24
【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 小島 巖
【特許出願人】
【識別番号】 000005821
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100062926
【弁理士】
【氏名又は名称】 東島 隆治
【選任した代理人】
【識別番号】 100113479
【弁理士】
【氏名又は名称】 大平 覺
【手数料の表示】
【予納台帳番号】 031691
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217288

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の信号入力端子と、
第 1 の信号出力端子と、
制御電圧を入力する第 1 の制御端子と、
前記制御電圧を M 個 (M は 2 以上の正整数) の制御信号に変換するアナログ／デジタル変換器と、

前記第 1 の信号入力端子と前記第 1 の信号出力端子との間に並列及び／又は直列に接続され、いずれかの前記制御信号によってインピーダンスを可変される N 個 (N は $N \geq M$ の正整数) の可変インピーダンス素子と、

を有することを特徴とする可変アッテネータ回路。

【請求項 2】

N 個の前記可変インピーダンス素子は、同一の構成を有し、前記第 1 の信号入力端子と前記第 1 の信号出力端子との間に並列に接続されることを特徴とする請求項 1 に記載の可変アッテネータ回路。

【請求項 3】

前記制御信号が第 1 の値及び第 2 の値の 2 値のデジタル信号であり、前記アナログ／デジタル変換器は、前記制御電圧のレベルとほぼ比例した数である K 個 ($0 \leq K \leq M$ である整数) の第 1 の値の前記制御信号と、(M-K) 個の第 2 の値の前記制御信号とを出力し、

N は M と同一の値であり、N 個の前記可変インピーダンス素子は、同一の構成を有し、前記第 1 の信号入力端子と前記第 1 の信号出力端子との間に並列に接続され、それぞれの前記制御信号によって、2 つのインピーダンス値のいずれかに切り換えられることを特徴とする請求項 1 に記載の可変アッテネータ回路。

【請求項 4】

前記可変インピーダンス素子は、
第 2 の信号入力端子と、
第 2 の信号出力端子と、
制御信号を入力する第 2 の制御端子と、
定電圧端子と、
前記第 2 の信号入力端子と前記第 2 の信号出力端子との間に挿入された、ほぼ同一のインピーダンスを有する 2 つの抵抗を直列に接続した直列接続体と、

2 つの前記抵抗の接続点と前記定電圧端子との間に挿入され、前記制御信号によって導通又は遮断するスイッチング素子と、

を有することを特徴とする請求項 3 に記載の可変アッテネータ回路。

【請求項 5】

前記可変インピーダンス素子は、
第 2 の信号入力端子と、
第 2 の信号出力端子と、
制御信号を入力する第 2 の制御端子と、
定電圧端子と、
前記第 2 の信号入力端子と前記第 2 の信号出力端子との間に挿入され、第 1 の受動素子と第 2 の受動素子とを直列に接続した直列接続体と、

ドレインが前記第 1 の受動素子と前記第 2 の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は抵抗を介して接続され、前記制御信号をゲートに inputs する第 1 の MOS トランジスタと、

を有することを特徴とする請求項 1 から請求項 4 のいずれかの請求項に記載の可変アッテネータ回路。

【請求項 6】

前記第 1 の受動素子及び前記第 2 の受動素子が抵抗であることを特徴とする請求項 5 に

記載の可変アッテネータ回路。

【請求項 7】

第 3 の信号入力端子と、第 3 の信号出力端子と、を更に有し、

それぞれの前記可変インピーダンス素子は、前記第 1 の信号入力端子と前記第 1 の信号出力端子との間を並列又は直列に接続するための第 1 の回路と同一の回路であって、同一の前記制御信号によってインピーダンスを可変される第 2 の回路を更に有し、

N 個の前記可変インピーダンス素子の前記第 2 の回路は、前記第 3 の信号入力端子と前記第 3 の信号出力端子との間を並列又は直列に接続する、

ことを特徴とする請求項 1 から請求項 6 のいずれかの請求項に記載の可変アッテネータ回路。

【請求項 8】

前記可変インピーダンス素子は、

第 2 の信号入力端子と、

第 2 の信号出力端子と、

第 4 の信号入力端子と、

第 4 の信号出力端子と、

制御信号を入力する第 2 の制御端子と、

定電圧端子と、

前記第 2 の信号入力端子と前記第 2 の信号出力端子との間に挿入され、第 1 の受動素子と第 2 の受動素子とを直列に接続した第 1 の直列接続体と、

前記第 4 の信号入力端子と前記第 4 の信号出力端子との間に挿入され、第 3 の受動素子と第 4 の受動素子とを直列に接続した第 2 の直列接続体と、

ドレインが前記第 1 の受動素子と前記第 2 の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は第 5 の受動素子を介して接続され、前記制御信号をゲートに入力する第 1 の MOS トランジスタと、

ドレインが前記第 3 の受動素子と前記第 4 の受動素子との接続点に接続され、ソースが前記定電圧端子に直接、前記第 5 の受動素子を介して、又は前記第 5 の受動素子と同一のインピーダンスを有する第 6 の受動素子を介して接続され、前記制御信号をゲートに入力する第 2 の MOS トランジスタと、

を有することを特徴とする請求項 7 に記載の可変アッテネータ回路。

【請求項 9】

前記第 1 の受動素子、前記第 2 の受動素子、前記第 3 の受動素子及び前記第 4 の受動素子が抵抗であり、又はそれらの受動素子と前記第 5 の受動素子とが抵抗であり、又はそれらの受動素子と前記第 5 の受動素子と前記第 6 の受動素子とが抵抗であることを特徴とする請求項 8 に記載の可変アッテネータ回路。

【書類名】明細書

【発明の名称】可変アッテネータ回路

【技術分野】

【0001】

本発明は、MOSトランジスタを使った連続可変アッテネータ回路に関する。

【背景技術】

【0002】

近年、SiやSiGeを材料に用いた高周波トランジスタの開発が進むとともに、高集積化、高機能化が進んでおり、パワーアンプ、パワーアンプ用ドライバアンプ、ローノイズアンプ等も増幅度の連続的な制御機能や連続可変アッテネータ回路の内蔵を要求されている。従来より、上述した機能を実現するために、MOSトランジスタを使った可変アッテネータ回路が提案されているが、離散的な制御しかできなかつたり、連続可変が可能であっても製造ばらつきが大きかつたりした。

【0003】

図11を用いて、MOSトランジスタを使った従来の可変アッテネータ回路を具体的に説明する。図11は、従来例に係るMOSトランジスタを使った可変アッテネータ回路を示す図である。従来例の可変アッテネータ回路は、信号入力端子1、信号出力端子2、コンデンサ705、709、抵抗715、716、717、718、719、720、制御端子721、722、N型MOSトランジスタ723、724、725で構成される。

信号入力端子1から入力された信号は、デカップリング用コンデンサ705を介してN型MOSトランジスタ725に入力された後、デカップリング用コンデンサ709を介して信号出力端子2から出力される。

【0004】

この可変アッテネータ回路において、制御端子721を介してN型MOSトランジスタ725をONさせる電圧(Highレベル)が与えられるとともに、制御端子722を介して信号ラインに並列に接続されたN型MOSトランジスタ723、724をOFFさせる電圧(Lowレベル)が与えられた場合、N型MOSトランジスタ725がONとなり、N型MOSトランジスタ723、724がOFFとなっているため、信号入力端子1から入力された信号は、N型MOSトランジスタ725を通してほとんど減衰することなく信号出力端子2から出力される。

【0005】

一方、制御端子721を介してN型MOSトランジスタ725をOFFさせる電圧(Lowレベル)が与えられるとともに、制御端子722を介してN型MOSトランジスタ723、724をONさせる電圧(Highレベル)が与えられた場合、N型MOSトランジスタ725がOFFとなり、N型MOSトランジスタ723、724がONとなっているため、信号入力端子1から入力された入力電圧は、小さな抵抗値の抵抗716により減衰され、更に抵抗720と抵抗718とにより分圧され、大きく減衰した信号が信号出力端子2から出力される。

【0006】

【特許文献1】特開平6-224691号公報

【特許文献2】特開2001-68967号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来例に係る可変アッテネータ回路は、基本的に2値の離散的な減衰量の制御しかできないという問題があった。制御端子721、722に与えられる電圧を連続的に可変してやることで連続的な減衰量の制御をすることができるが、その場合、制御端子721、722に与えられる電圧に対する減衰量の変化は、MOSトランジスタ723、724、725のしきい値電圧 V_T 付近で非常に急峻になってしまう。しきい値電圧 V_T の製造ばらつきに対して非常に影響を受けやすいという問題があった。

本発明は、上述した問題点に鑑み提案されたもので、容易に多段で減衰量を変化させることができ、段数を増すことにより実効的に連続的に減衰量を変化させることができ、製造ばらつきの小さい高精度の可変アッテネータ回路を提供することを目的とする。

本発明は、更に、制御電圧と対数表示 (dB) した減衰量 GL とが近似的に 1 次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータ回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明は下記の構成を有する。請求項 1 に記載の発明は、第 1 の信号入力端子と、第 1 の信号出力端子と、制御電圧を入力する第 1 の制御端子と、前記制御電圧を M 個 (M は 2 以上の正整数) の制御信号に変換するアナログ／デジタル変換器と、前記第 1 の信号入力端子と前記第 1 の信号出力端子との間に並列及び／又は直列に接続され、いずれかの前記制御信号によってインピーダンスを可変される N 個 (N は $N \geq M$ の正整数) の可変インピーダンス素子と、を有することを特徴とする可変アッテネータ回路である。

本発明の可変アッテネータ回路は、制御電圧から複数の制御信号を生成し、複数の制御信号で複数の可変インピーダンス素子を制御する。この構成により、容易に多段で減衰量を変化させることができ、段数を増すことにより、減衰量を実効的に連続的に変化させることができる。本発明は、製造ばらつきの小さい高精度の可変アッテネータ回路を実現する。

【0009】

請求項 2 に記載の発明は、 N 個の前記可変インピーダンス素子は、同一の構成を有し、前記第 1 の信号入力端子と前記第 1 の信号出力端子との間に並列に接続されることを特徴とする請求項 1 に記載の可変アッテネータ回路である。本発明は、制御電圧と減衰量とが所定の関係を有し、電子装置に利用しやすい可変アッテネータ回路を実現する。

【0010】

請求項 3 に記載の発明は、前記制御信号が第 1 の値及び第 2 の値の 2 値のデジタル信号であり、前記アナログ／デジタル変換器は、前記制御電圧のレベルとほぼ比例した数である K 個 (K は $0 \leq K \leq M$ である整数) の第 1 の値の前記制御信号と、 $(M-K)$ 個の第 2 の値の前記制御信号とを出力し、 N は M と同一の値であり、 N 個の前記可変インピーダンス素子は、同一の構成を有し、前記第 1 の信号入力端子と前記第 1 の信号出力端子との間に並列に接続され、それぞれの前記制御信号によって、2 つのインピーダンス値のいずれかに切り換えられることを特徴とする請求項 1 に記載の可変アッテネータ回路である。

本発明は、制御電圧と減衰量とが所定の関係 (例えば制御電圧と対数表示 (dB) した減衰量 GL とが近似的に 1 次式で表せる関係) を有し、電子装置に利用しやすい可変アッテネータ回路を実現する。

【0011】

請求項 4 に記載の発明は、前記可変インピーダンス素子は、第 2 の信号入力端子と、第 2 の信号出力端子と、制御信号を入力する第 2 の制御端子と、定電圧端子と、前記第 2 の信号入力端子と前記第 2 の信号出力端子との間に挿入された、ほぼ同一のインピーダンスを有する 2 つの抵抗を直列に接続した直列接続体と、2 つの前記抵抗の接続点と前記定電圧端子との間に挿入され、前記制御信号によって導通又は遮断するスイッチング素子と、を有することを特徴とする請求項 3 に記載の可変アッテネータ回路である。

本発明は、可変アッテネータ回路の前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数表示 (dB) した減衰量 GL とが近似的に 1 次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータ回路を実現する。「定電圧端子」は、一定の電位の端子であって、典型的には接地端子である。

【0012】

請求項 5 に記載の発明は、前記可変インピーダンス素子は、第 2 の信号入力端子と、第

2の信号出力端子と、制御信号を入力する第2の制御端子と、定電圧端子と、前記第2の信号入力端子と前記第2の信号出力端子との間に挿入され、第1の受動素子と第2の受動素子とを直列に接続した直列接続体と、ドレインが前記第1の受動素子と前記第2の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は抵抗を介して接続され、前記制御信号をゲートに入力する第1のMOSトランジスタと、を有することを特徴とする請求項1から請求項4のいずれかの請求項に記載の変圧アッテネータ回路である。

本発明は、変圧アッテネータ回路の前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数表示(dB)した減衰量GLとが近似的に1次式で表せる関係を有し、電子装置に利用しやすい変圧アッテネータ回路を実現する。

【0013】

請求項6に記載の発明は、前記第1の受動素子及び前記第2の受動素子が抵抗であることを特徴とする請求項5に記載の変圧アッテネータ回路である。

【0014】

請求項7に記載の発明は、第3の信号入力端子と、第3の信号出力端子と、を更に有し、それぞれの前記変圧インピーダンス素子は、前記第1の信号入力端子と前記第1の信号出力端子との間を並列又は直列に接続するための第1の回路と同一の回路であって、同一の前記制御信号によってインピーダンスを可変される第2の回路を更に有し、N個の前記変圧インピーダンス素子の前記第2の回路は、前記第3の信号入力端子と前記第3の信号出力端子との間を並列又は直列に接続する、ことを特徴とする請求項1から請求項6のいずれかの請求項に記載の変圧アッテネータ回路である。

本発明は、2つの信号を入力し、それぞれ同一の減衰量で減衰させて出力する変圧アッテネータ回路を実現する。本発明は、バランスした信号対(差動型の信号対)、相補の信号対を減衰させるのに適した変圧アッテネータ回路を実現する。バランスした信号対又は相補の信号対を本発明の変圧アッテネータ回路に入力することにより、変圧アッテネータ回路に対する外乱の影響を抑圧することが出来る。

【0015】

請求項8に記載の発明は、前記変圧インピーダンス素子は、第2の信号入力端子と、第2の信号出力端子と、第4の信号入力端子と、第4の信号出力端子と、制御信号を入力する第2の制御端子と、定電圧端子と、前記第2の信号入力端子と前記第2の信号出力端子との間に挿入され、第1の受動素子と第2の受動素子とを直列に接続した第1の直列接続体と、前記第4の信号入力端子と前記第4の信号出力端子との間に挿入され、第3の受動素子と第4の受動素子とを直列に接続した第2の直列接続体と、ドレインが前記第1の受動素子と前記第2の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は第5の受動素子を介して接続され、前記制御信号をゲートに入力する第1のMOSトランジスタと、ドレインが前記第3の受動素子と前記第4の受動素子との接続点に接続され、ソースが前記定電圧端子に直接、前記第5の受動素子を介して、又は前記第5の受動素子と同一のインピーダンスを有する第6の受動素子を介して接続され、前記制御信号をゲートに入力する第2のMOSトランジスタと、を有することを特徴とする請求項7に記載の変圧アッテネータ回路である。

本発明は、変圧アッテネータ回路の前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定することにより、2つの信号を入力してそれぞれ同一の減衰量で減衰させて出力し、制御電圧と対数表示(dB)した減衰量GLとが近似的に1次式で表せる関係を有し、電子装置に利用しやすい変圧アッテネータ回路を実現する。

【0016】

請求項9に記載の発明は、前記第1の受動素子、前記第2の受動素子、前記第3の受動素子及び前記第4の受動素子が抵抗であり、又はそれらの受動素子と前記第5の受動素子とが抵抗であり、又はそれらの受動素子と前記第5の受動素子と前記第6の受動素子とが抵抗であることを特徴とする請求項8に記載の変圧アッテネータ回路である。

【発明の効果】

【0017】

本発明によれば、容易に多段で減衰量を変化させることができ、段数を増すことにより実効的に連続的に減衰量を変化させることができ、製造ばらつきの小さい高精度の可変アッテネータ回路を実現出来るという有利な効果が得られる。

本発明によれば、更に、可変アッテネータ回路の前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数表示 (dB) した減衰量 GL とが近似的に 1 次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータ回路を実現出来るという有利な効果が得られる。

本発明によれば、バランスした信号対 (差動型の信号対) 又は相補の信号対を入力するための対の信号入力端子と、対の信号出力端子とを有し、外乱の影響を受けにくい可変アッテネータ回路を実現出来るという有利な効果が得られる。

【発明を実施するための最良の形態】

【0018】

以下本発明の実施をするための最良の形態を具体的に示した実施の形態について、図面とともに記載する。

【0019】

《実施の形態 1》

図 1～7 を用いて、本発明の実施の形態 1 における可変アッテネータ回路 (減衰器) について説明する。図 1 は、本発明の実施の形態 1 における可変アッテネータ回路を示す回路図である。可変アッテネータ回路は、減衰量を制御される信号を入力する信号入力端子 1、減衰された信号を出力する信号出力端子 2、外部から制御電圧を入力する制御端子 3、 N 個 ($N \geq 2$ の正整数) の可変インピーダンス素子 $21(1) \sim 21(N)$ 、 N 個の電圧比較器 $31(1) \sim 31(N)$ 、基準電圧源 41 とで構成される。

【0020】

N 個の電圧比較器 $31(i)$ ($1 \leq i \leq N$) は、全て同じ回路構成、同じ回路定数となっている。 N 個の電圧比較器 $31(1) \sim 31(N)$ と基準電圧源 41 とは、制御端子 3 から入力した制御電圧を N 個の制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$) に変換するアナログ/デジタル変換器を構成する。制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$) は、2 値のデジタル信号である。アナログ/デジタル変換器 (電圧比較器 $31(1) \sim 31(N)$ と基準電圧源 41) は、制御電圧のレベルとほぼ比例した数である K 個 (K は $0 \leq K \leq N$ である整数) の第 1 の値 (実施の形態 1 では Low レベル) の制御信号と、 $(N-K)$ 個の第 2 の値の制御信号 (実施の形態 1 では High レベル) とを出力する。

【0021】

可変インピーダンス素子 $21(1) \sim 21(N)$ は、全て同じ回路構成、同じ回路定数となっており、信号入力端子 1 と信号出力端子 2 との間に並列に接続される。可変インピーダンス素子 $21(i)$ ($1 \leq i \leq N$) は、それぞれ制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$) を入力し、2 つのインピーダンス値のいずれかに切り換えられる。

【0022】

図 2 は、可変インピーダンス素子の構成を示す図である。可変インピーダンス素子 $21(i)$ ($1 \leq i \leq N$) は、信号入力端子 211、信号出力端子 212、制御信号を入力する制御端子 213、抵抗 214、215、 N 型 MOS トランジスタ 216 とで構成されている。抵抗 214 及び 215 は直列接続体を構成し、信号入力端子 211 と信号出力端子 212 との間に挿入される。抵抗 214 の抵抗値 R_{214} と抵抗 215 の抵抗値 R_{215} とは、同一の値 R である。 N 型 MOS トランジスタ 216 は、ドレインが抵抗 214 と抵抗 215 との接続点に接続され、ソースが接地され、ゲートに inputs する制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$) によって導通又は遮断するスイッチング素子である。

【0023】

可変インピーダンス素子 $21(i)$ ($1 \leq i \leq N$) の信号入力端子 211 (i) ($1 \leq$

$i \leq N$) は全て信号入力端子 1 に接続される。可変インピーダンス素子 21 (i) ($1 \leq i \leq N$) の信号出力端子 212 (i) ($1 \leq i \leq N$) は全て信号出力端子 2 に接続される。可変インピーダンス素子 21 (i) ($1 \leq i \leq N$) の制御端子 213 (i) ($1 \leq i \leq N$) はそれぞれ電圧比較器 31 (i) ($1 \leq i \leq N$) の出力端子 313 (i) ($1 \leq i \leq N$) に接続される。

【0024】

次に、アナログ／デジタル変換器を説明する。図 4 は、基準電圧源の構成を示す図である。基準電圧源 41 は、可変インピーダンス素子と同数の N 個の出力端子 401 (i) ($1 \leq i \leq N$) と、直列に接続された N 個の抵抗 411 (i) ($1 \leq i \leq N$)、1 つの電流源 410 とで構成されている。 N 個の抵抗 411 (i) ($1 \leq i \leq N$) は、同一の抵抗値 R_{411} である。電流源 410 は、 N 個の抵抗 411 (i) ($1 \leq i \leq N$) に一定の電流 I を流す。電流源 410 及び N 個の抵抗 411 (i) ($1 \leq i \leq N$) の各接続点は、出力端子 401 (i) ($1 \leq i \leq N$) と接続され、基準電圧 $V_{ref}(i) = i \times R_{411} \times I$ ($1 \leq i \leq N$) を出力する。基準電圧源 41 は固定電圧を供給できれば良く、必ずしも図 4 の構成をとる必要はない。

【0025】

図 3 は、電圧比較器の構成を示す図である。電圧比較器 31 (i) ($1 \leq i \leq N$) は、入力端子 311、312、出力端子 313、NPN トランジスタ 3111、3112、PNP バイポーラトランジスタ 3118、3119、抵抗 3113、3114、3116、3117、3120、コンデンサ 3121、電流源 3115 から構成されている。ここで、NPN トランジスタ 3111、3112 は N 型 MOS トランジスタでもよく、PNP トランジスタ 3118、3119 は P 型 MOS トランジスタでも良い。

【0026】

電圧比較器 31 (i) ($1 \leq i \leq N$) の入力端子 311 (i) は全て制御端子 3 に接続され、外部から入力される制御電圧を入力する。電圧比較器 31 (i) ($1 \leq i \leq N$) の入力端子 312 (i) はそれぞれ基準電圧源 41 の出力端子 401 (i) ($1 \leq i \leq N$) に接続され、基準電圧 $V_{ref}(i) = i \times R_{411} \times I$ を入力する。

電圧比較器 31 (i) ($1 \leq i \leq N$) は、外部から入力される制御電圧と、基準電圧 $V_{ref}(i)$ とを比較し、制御電圧が基準電圧 $V_{ref}(i)$ より高ければ、Low レベルを出力し、制御電圧が基準電圧 $V_{ref}(i)$ より低ければ、High レベルを出力する。即ち、制御電圧のレベルとはほぼ比例した数である K 個 (K は $0 \leq K \leq N$ である整数) の電圧比較器 31 (1) ~ 31 (K) は、第 1 の値 (実施の形態 1 では Low レベル) の制御信号を出力し、 $(N-K)$ 個の電圧比較器 31 ($K+1$) ~ 31 (N) は、第 2 の値の制御信号 (実施の形態 1 では High レベル) を出力する。

【0027】

上述した可変アッテネータ回路の動作原理を図 5 を用いて説明する。図 5 (a) は、横軸が制御端子 3 に入力される制御電圧 V_{GC} を示し、縦軸が制御電圧 V_{GC} と、基準電圧源 41 の出力端子 401 (i) ($1 \leq i \leq N$) が出力する基準電圧 $V_{ref}(i) = i \times R_{411} \times I$ と、を示す。図 5 (b) は、横軸が制御端子 3 に入力される制御電圧 V_{GC} を示し、縦軸が制御電圧 V_{GC} を入力する各電圧比較器 31 (i) ($1 \leq i \leq N$) の出力端子 313 (i) の電圧を示す。電圧比較器 31 (i) ($1 \leq i \leq N$) の各出力端子 313 (i) が出力する制御信号は、制御電圧 V_{GC} と基準電圧源 41 の出力端子 401 (i) の電圧が一致する電圧を中心に变化する High レベルと Low レベルの 2 値である。

【0028】

電圧比較器の出力端子 313 (i) ($1 \leq i \leq N$) は可変インピーダンス素子 21 の制御端子 213 (i) につながっている。電圧比較器 31 の出力端子 313 (i) ($1 \leq i \leq N$) の電圧が High レベルとなり、可変インピーダンス素子 21 (i) の N 型 MOS トランジスタ 216 を ON させるしきい電圧 V_{TH} を超えると、可変インピーダンス素子 21 の N 型 MOS トランジスタ 216 は ON となる。電圧比較器 31 の出力端子 313 (i) ($1 \leq i \leq N$) の電圧が Low レベルとなり、しきい電圧 V_{TH} より下がると、N 型

MOSトランジスタ216はOFFとなる。

【0029】

つまり、可変インピーダンス素子21(i) ($1 \leq i \leq N$) のN型MOSトランジスタ216は、制御電圧VGCが基準電圧源41の出力端子401(i) ($1 \leq i \leq N$) の電圧以下の値であればOFFし、制御電圧VGCが基準電圧源41の出力端子401(i) の電圧より高い値であればONする。N型MOSトランジスタ216がONからOFFに変化する点における制御電圧VGCをVGC_{on1}とすると、制御電圧VGC_{on1}のばらつきは、図5(b)に示すように主としてN型MOSトランジスタ216のしきい電圧VTHのばらつきによって決まる。図5(b)からわかるように、電圧比較器31の出力端子313(i) ($1 \leq i \leq N$) の電圧変化が大きいほど(電圧の立下りが急峻であるほど)しきい電圧VTHのばらつきに起因する制御電圧VGC_{on1}のばらつきは小さくなり、電圧変化が小さいほどしきい電圧VTHのばらつきに起因する制御電圧VGC_{on1}のばらつきは大きくなる。

【0030】

動作の説明をまとめると、制御端子3に入力される制御電圧VGCが十分に低い状態では可変インピーダンス素子21(i) ($1 \leq i \leq N$) のN型MOSトランジスタ216は全てONとなっている。そして、制御電圧VGCが徐々に上がり、基準電圧源41の出力端子401(1)の電圧値の近辺になると、可変インピーダンス素子21(1)のN型MOSトランジスタ216がOFFする。制御電圧VGCがさらに上がり、基準電圧源41の出力端子401(2)の電圧値の近辺になると、可変インピーダンス素子21(2)のN型MOSトランジスタ216が更にOFFする。同様に制御電圧VGCがあがるにつれ、可変インピーダンス素子のN型MOSトランジスタが順々にOFFし、制御端子3に入力される制御電圧VGCが充分にあがった状態では、全ての可変インピーダンス素子21(i) ($1 \leq i \leq N$) のN型MOSトランジスタはOFFしている。

【0031】

ここで、ある制御電圧VGCで、n個 ($0 \leq n \leq N$) の可変インピーダンス素子のN型MOSトランジスタ216がONし、N-n個の可変インピーダンス素子のN型MOSトランジスタ216がOFFしている場合を考える。そして、出力インピーダンスR_sを持つ信号源を信号入力端子1に接続し、インピーダンスR_Lを持つ負荷を信号出力端子2に接続したときの信号減衰量G_Lを考える。簡単のために、可変インピーダンス素子のN型MOSトランジスタ216がONしたときのON抵抗R_{on}は可変インピーダンス素子の抵抗214と抵抗215の抵抗値R₂₁₄、R₂₁₅よりずっと小さい場合を考える。等価回路は図6のようになり、これより信号減衰量G_Lは次式のようにになる。

【0032】

【数1】

$$G_L = \frac{\frac{R_L \cdot R_{215} / n}{R_L + R_{215} / n}}{\frac{R_s \cdot R_{214} / n}{R_s + R_{214} / n} + \frac{R_{214} + R_{215}}{N - n} + \frac{R_L \cdot R_{215} / n}{R_L + R_{215} / n}} \cdot \frac{R_{214} / n}{R_s + R_{214} / n}$$

【0033】

図7に、R_s = 50Ω、R₂₁₄ = 100Ω、R₂₁₅ = 100Ω、R_L = 50Ω、N = 10個の場合のSim結果を示す。図7(a)の横軸は制御端子3に入力される制御電圧VGCであり、縦軸は電圧比較器31(i) ($1 \leq i \leq N$) の各出力端子313(i)

の電圧である。図7(b)の横軸は制御電圧VGCであり、縦軸は対数(dB)で表示した信号減衰量GLである。図7(b)をみると、可変アッテネータ回路の前及び後に接続する回路の出力インピーダンスRs及び入力インピーダンスRLを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数表示(dB)した信号減衰量GLとが近似的に1次式で表せる関係を有することがわかる。対数表示(dB)した信号減衰量GLは、制御電圧に応じて、実効的に連続的且つ直線的に変化する。

実施の形態1において、抵抗R214とR215は同一の抵抗値Rである。可変アッテネータ回路の前段の出力インピーダンスRs及び可変アッテネータ回路の後段の入力インピーダンスRLのマッチングインピーダンスは $R_s = R_L = R/2$ である。

【0034】

上述の様に、制御電圧VGCに対する電圧比較器31(i) ($1 \leq i \leq N$)の出力端子313(i)の電圧の変化量を大きくすることが、N型MOSトランジスタのしきい電圧VTHのばらつきに起因する制御電圧VGC on 1のばらつきを小さくできる故に、好ましい。しかし、あまりに電圧の変化量を大きくすると、電圧比較器31(i) ($1 \leq i \leq N$)の出力端子313(i)の電圧が変化する点の近傍で、信号減衰量GLが離散的に変化し、信号減衰量GLの変化の連続性が失われる。

可変インピーダンス素子、電圧比較器、基準電圧源の出力端子の個数Nを増加させることにより、信号減衰量GLの変化の連続性を確保したまま、制御電圧VGC on 1がしきい電圧VTHのばらつきの影響を受けにくくすることができる。電圧比較器31の内部の抵抗3113、3114、3116、3117の抵抗値を適切に設定することにより、電圧比較器31の出力端子313(i)の電圧の変化量を適切に設定することが出来る。

同一の回路を有するN個の可変インピーダンス素子21(i) ($1 \leq i \leq N$)、及び同一の回路を有するN個の電圧比較器31(i) ($1 \leq i \leq N$)を有する故に、製造ばらつきを抑えることができる。

【0035】

なお、電圧比較器31がNビット(Nは2以上の正整数)の2進法のデータの制御信号を送り、可変インピーダンス素子21を2進法の各ビットに対応させても良い。実施の形態1であれば、LSBに相当する可変インピーダンス素子の抵抗値を $R_{214} = R_{215} = R$ とする。その上の桁のビットに対応する可変インピーダンス素子の抵抗値を $R_{214} = R_{215} = R/2$ 、LSBからj番目の可変インピーダンス素子21(j)の抵抗値を $R_{214} = R_{215} = R/2^{(j-1)}$ ($1 \leq j \leq N$)とする。

【0036】

《実施の形態2》

図8及び図9を用いて、実施の形態2の可変アッテネータ回路を説明する。図8は、本発明の実施の形態2における可変アッテネータ回路である。図8において、図1と同一部には同一番号を付している。実施の形態2の可変アッテネータ回路が、実施の形態1と違う点は、減衰量を制御される信号を入力する対の信号入力端子1、4、減衰された信号を出力する対の信号出力端子2、5、可変インピーダンス素子81(i) ($1 \leq i \leq N$)を有することである。それ以外の構成(アナログ/デジタル変換器等)は実施の形態1と同一であるため、詳細な説明を省略する。実施の形態2の可変インピーダンス素子について説明する。

【0037】

可変インピーダンス素子81(1)~81(N)は、全て同じ回路構成、同じ回路定数となっており、信号入力端子1と信号出力端子2との間に並列に接続される第1の回路と、信号入力端子4と信号出力端子5との間に並列に接続される第2の回路と、を有する。第1の回路と第2の回路とは実質的に同一の回路構成及び同一の回路定数を有する。可変インピーダンス素子81(i) ($1 \leq i \leq N$)は、それぞれ制御信号Vc t 1(i)を入力し、2つのインピーダンス値のいずれかに切り換えられる。

【0038】

図9は、実施の形態2の可変インピーダンス素子81(i)の構成を示す図である。可

変インピーダンス素子 81 (i) ($1 \leq i \leq N$) は、信号入力端子 2111、2112、信号出力端子 2121、2122、制御信号を入力する制御端子 213、抵抗 2141、2151、2142、2152、217、N型MOSトランジスタ 2161、2162で構成されている。

第1の回路は、信号入力端子 2111、信号出力端子 2121、制御端子 213、抵抗 2141、2151、217、N型MOSトランジスタ 2161で構成される。第2の回路は、信号入力端子 2112、信号出力端子 2122、制御信号を入力する制御端子 213、抵抗 2142、2152、217、N型MOSトランジスタ 2162で構成される。第1の回路及び第2の回路は、制御端子 213及び抵抗 217を共有する。

【0039】

抵抗 2141の抵抗値 R_{2141} と抵抗 2151の抵抗値 R_{2151} と抵抗 2142の抵抗値 R_{2142} と抵抗 2152の抵抗値 R_{2152} とは、同一の値 R である。N型MOSトランジスタ 2161は、ドレインが抵抗 2141と抵抗 2151との接続点に接続され、ソースが抵抗 217を介して接地され、ゲートに inputs する制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$) によって導通又は遮断するスイッチング素子である。トランジスタ 2162は、ドレインが抵抗 2142と抵抗 2152との接続点に接続され、ソースが抵抗 217を介して接地され、ゲートに inputs する制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$) によって導通又は遮断するスイッチング素子である。

【0040】

実施の形態1の可変インピーダンス素子は、図2に示すように、MOSトランジスタ 216のソースが接地されている。その場合、ソースグラウンド間の寄生インピーダンスが減衰特性に与える影響が少くない。また、グラウンドからのノイズが信号に影響を与える場合もある。実施の形態2の可変インピーダンス素子 81 (i) は、2つのN型MOSトランジスタ 2161、2162のソースとグラウンドとの間に抵抗 217を設けて、ソースグラウンド間の寄生インピーダンスが減衰特性に影響を与えることを防止している。実施の形態2の可変アッテネータ回路は、バランスした2つの入力信号（差動型の信号対）又は相補型の2つの入力信号を入力し、減衰させて出力する。これにより、グラウンドからのノイズが信号に影響を与えることを防止する。

【0041】

《実施の形態3》

図10を用いて、本発明の実施の形態3における可変アッテネータ回路について説明する。実施の形態3の可変アッテネータ回路は、実施の形態1と異なるアナログ/デジタル変換器を有する。それ以外の点において、実施の形態3の可変アッテネータ回路は、実施の形態1と同一である。実施の形態3の可変アッテネータ回路のアナログ/デジタル変換器の構成を説明する。

【0042】

図10は、実施の形態3のアナログ/デジタル変換器の構成を示すブロック図である。実施の形態3のアナログ/デジタル変換器は、実施の形態1の基準電圧源 41及び電圧比較器 31に代えて、図10の構成を有する。図10において、アナログ/デジタル変換器は、入力バッファ 1001、減算器 1002、電圧比較器 1003、論理制御部 1004、 p ビット (p は2以上の任意の正整数) のデジタル/アナログ変換器 1005、出力レジスタ 1006、制御信号生成部 1007、 N 個の制御信号出力端子 1008 (1) ~ 1008 (N) を有する逐次比較型のアナログ/デジタル変換器である。実施の形態3において、デジタル/アナログ変換器 1005のビット数 p を $p = 4$ として説明する。

【0043】

入力バッファ 1001は、制御電圧を入力する。論理制御部 1004は、最初にデジタル/アナログ変換器 1005に 1000B (Bは2進数を示す。)を設定する。減算器 1002は、入力バッファ 1001が出力する制御電圧からデジタル/アナログ変換器 1005が出力する電圧 (デジタル値 1000Bに対応する電圧) を減算し、減算結果を出力する。電圧比較器 1003は、減算結果を入力し、正值であれば High レベル、負値で

あればLowレベルの出力信号を出力する。論理制御部1004は、電圧比較器1003の出力レベルがHighレベルであれば、MSBを1と決定し、電圧比較器1003の出力レベルがLowレベルであれば、MSBを0と決定する。

【0044】

例えばMSBが0であれば、次に論理制御部1004は、デジタル／アナログ変換器1005に0100Bを設定する。減算器1002は、入力バッファ1001が出力する制御電圧からデジタル／アナログ変換器1005が出力する電圧（デジタル値0100Bに対応する電圧）を減算し、減算結果を出力する。電圧比較器1003は、減算結果を入力し、正值であればHighレベル、負値であればLowレベルの出力信号を出力する。論理制御部1004は、電圧比較器1003の出力レベルがHighレベルであれば、上から2桁目のビットを1と決定し、電圧比較器1003の出力レベルがLowレベルであれば、上から2桁目のビットを0と決定する。以下、上記の処理を繰り返して、pビット（4ビット）のデジタル値を決定する。

【0045】

次に論理制御部1004は、4ビットのデジタル値を出力レジスタ1006にロードする。出力レジスタ1006は、次に論理制御部1004が新たな4ビットのデジタル値をロードするまで、その値を保持する。制御信号生成部1005は、デコーダである。制御信号生成部1007は、出力レジスタ1006が出力するカウンタ値Kを入力し、カウンタ値Kと同一個数の制御信号出力端子1008(1)～1008(K)からLowレベルの制御信号を出力し、(N-K)個の制御信号出力端子1008(K+1)～1008(N)からHighレベルの制御信号を出力する。制御信号出力端子1008(i) ($1 \leq i \leq N$)は、それぞれ可変インピーダンス素子21(i)の制御端子213(i)と接続される。以下、上記の処理を繰り返す。

【0046】

上記の構成により、実施の形態3のアナログ／デジタル変換器は、制御電圧のレベルとほぼ比例した数であるK個 (K は $0 \leq K \leq N$ である整数)のLowの制御信号と、(N-K)個のHighレベルの制御信号とを出力する。

【0047】

実施の形態3において、電圧比較器1003を複数個設け、一度に複数ビットずつデジタル値を決定する構成にしても良い。

【0048】

D/A変換器1005に代えて、基準電圧保持部を設けても良い。基準電圧保持部は基準電圧を保持するコンデンサと、コンデンサに1LSBに相当する電圧を充電する充電回路と、コンデンサから1LSBに相当する電圧を放電する放電回路と、コンデンサが保持する電圧を出力する出力バッファと、を有する。論理制御部1004は、前回のデジタル／アナログ変換結果のデジタル値を起点として、デジタル値をインクリメントして充電回路に充電指令を送り、デジタル値をデクリメントして放電回路に放電指令を送る。電圧比較器1003の出力値がHighレベルからLowレベルに変化し、又はLowレベルからHighレベルに変化した時点で論理制御部1004が保持するデジタル値が、デジタル／アナログ変換結果となる。

【0049】

実施の形態1から3において、N個の可変インピーダンス素子は、信号入力端子と信号出力端子との間に並列に接続された。これに代えて、N個の可変インピーダンス素子を信号入力端子と信号出力端子との間に直列に接続しても良い。又は、N1個 (N1は2以上の正整数)の可変インピーダンス素子を直列に接続した直列体を、N2個 (N2は2以上の正整数)、信号入力端子と信号出力端子との間に並列に接続しても良い。アナログ／デジタル変換器が制御電圧をM個 (Mは $2 \leq M < N$ の正整数)の制御信号に変換し、複数の可変インピーダンス素子が同一の制御信号を入力する構成としても良い。N個の可変インピーダンス素子及びN個の電圧比較器の回路構成・回路定数を個々に変えて特性を調整しても良い。但し、これらの構成を有する可変アッテネータ回路は、上記の実施の形態の可

変アッテネータ回路と異なる特性の信号減衰量を有する。好ましくは、実施の形態と同一の構成を有する。

【産業上の利用可能性】

【0050】

本発明は、可変アッテネータ回路およびこれを用いた半導体装置に有用である。

【図面の簡単な説明】

【0051】

【図1】 本発明の実施の形態1における可変アッテネータ回路を示す図

【図2】 実施の形態1の可変インピーダンス素子を具体的に示した図

【図3】 実施の形態1の電圧比較器を具体的に示した図

【図4】 実施の形態1の基準電圧源を具体的に示した図

【図5】 実施の形態1の可変アッテネータ回路の動作原理を示す図

【図6】 実施の形態1の可変アッテネータ回路の等価回路を示す図

【図7】 実施の形態1の回路を用いたシミュレーション結果を示す図

【図8】 本発明の実施の形態2における差動型可変アッテネータ回路を示す図

【図9】 実施の形態2の可変インピーダンス素子を具体的に示した図

【図10】 実施の形態3のアナログ／デジタル変換器の構成を示すブロック図

【図11】 従来例の可変アッテネータ回路を示す図

【符号の説明】

【0052】

1、211、2111、2112 信号入力端子

2、212、2121、2122 信号出力端子

3、213 制御端子

21、81 可変インピーダンス素子

31 電圧比較器

41 基準電圧源

214、215、217、411、2141、2151、2142、2152、311

3、3114、3116、3117、3120 抵抗

216、2161、2162 N型MOSトランジスタ

311、312 入力端子

313、401 出力端子

410、3115 電流源

3111、3112 NPNトランジスタ

3118、3119 PNPバイポーラトランジスタ

3121 コンデンサ

1001 入力バッファ

1002 減算器

1003 電圧比較器

1004 論理制御部

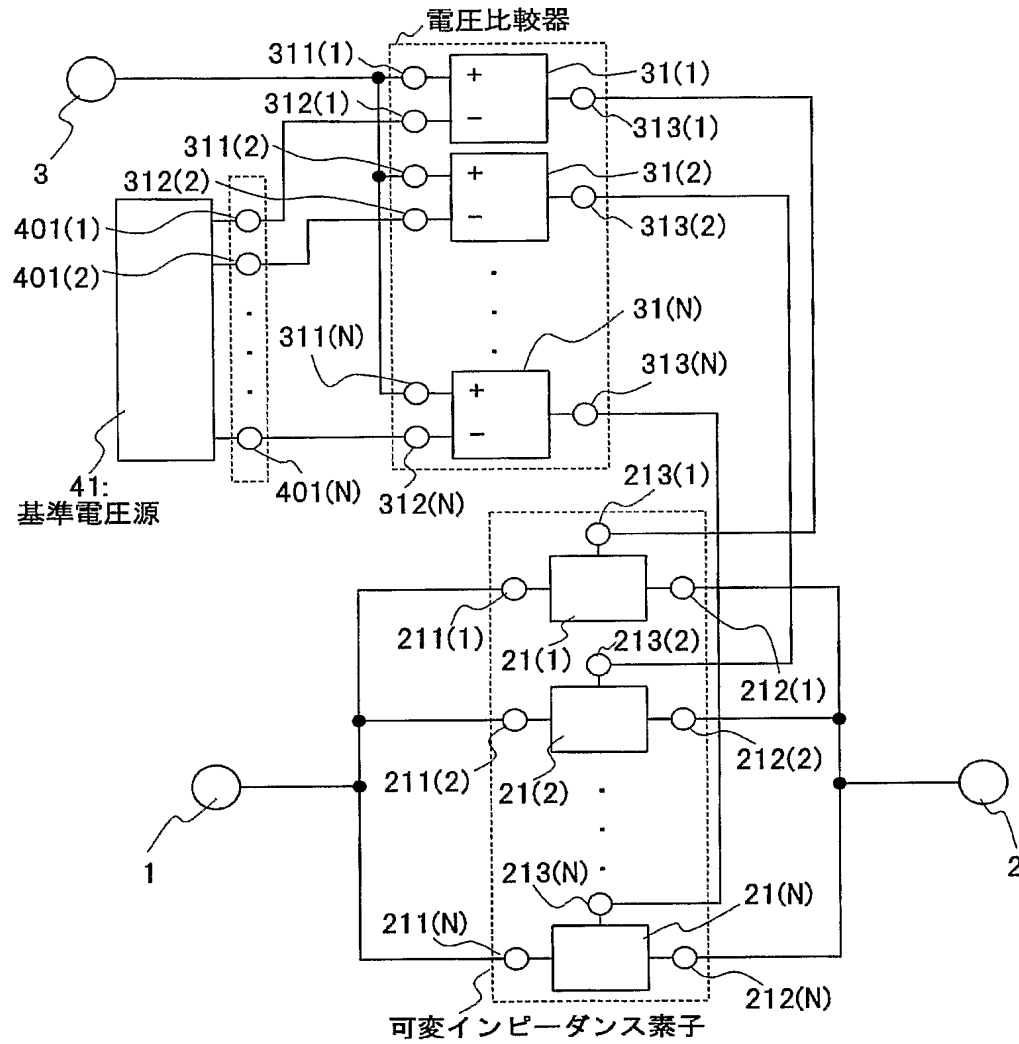
1005 D/A変換器

1006 出力レジスタ

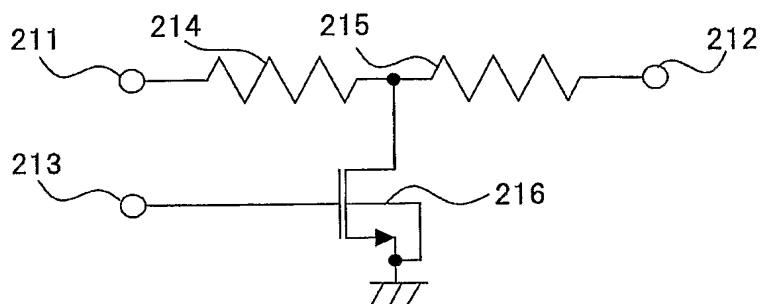
1007 制御信号生成部

1008 制御信号出力端子

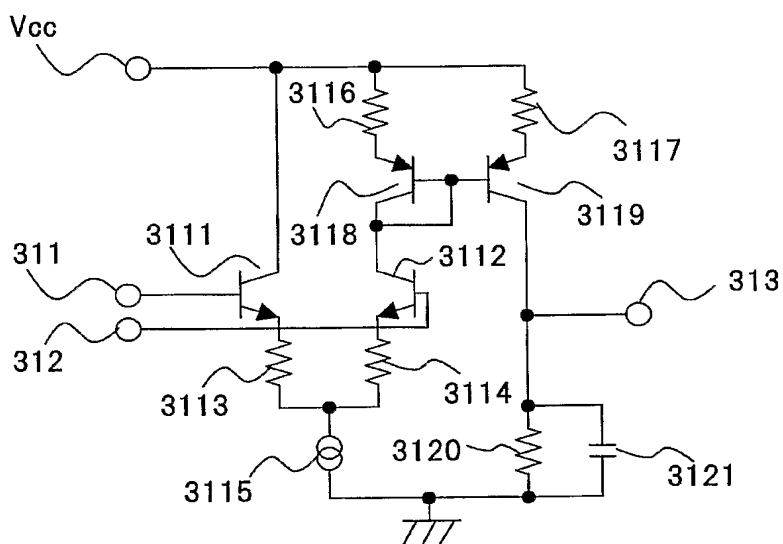
【書類名】 図面
【図 1】



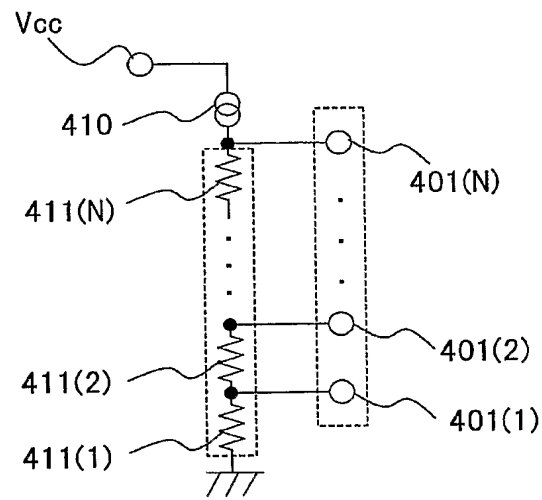
【図 2】



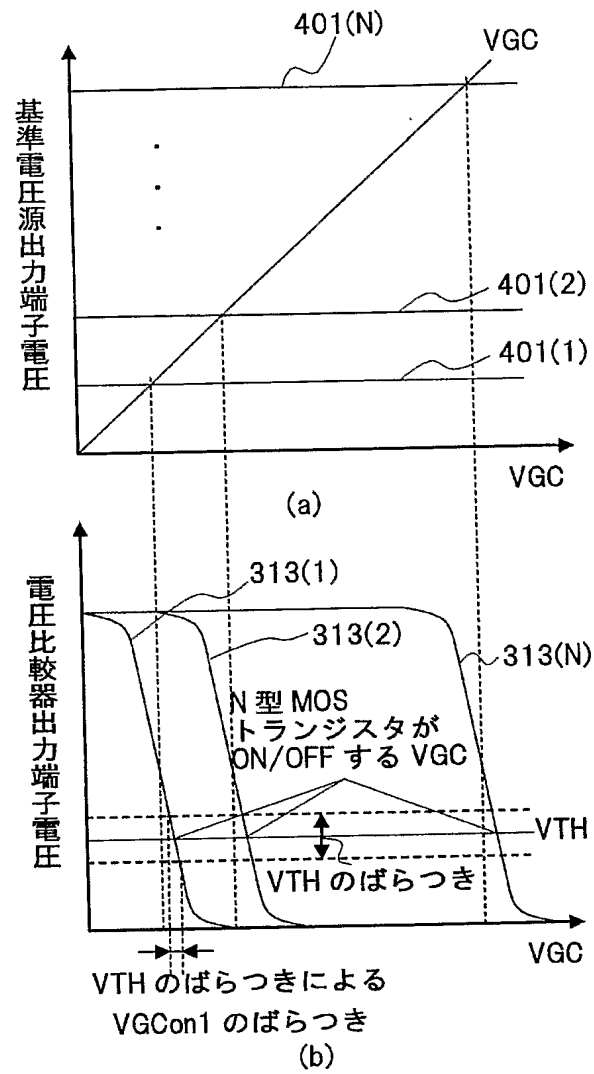
【図 3】



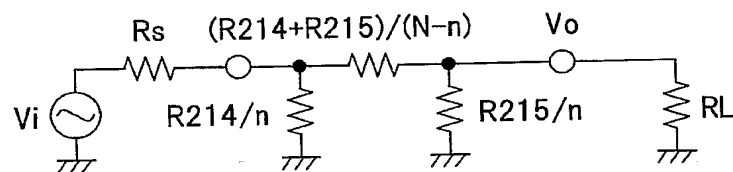
【図 4】



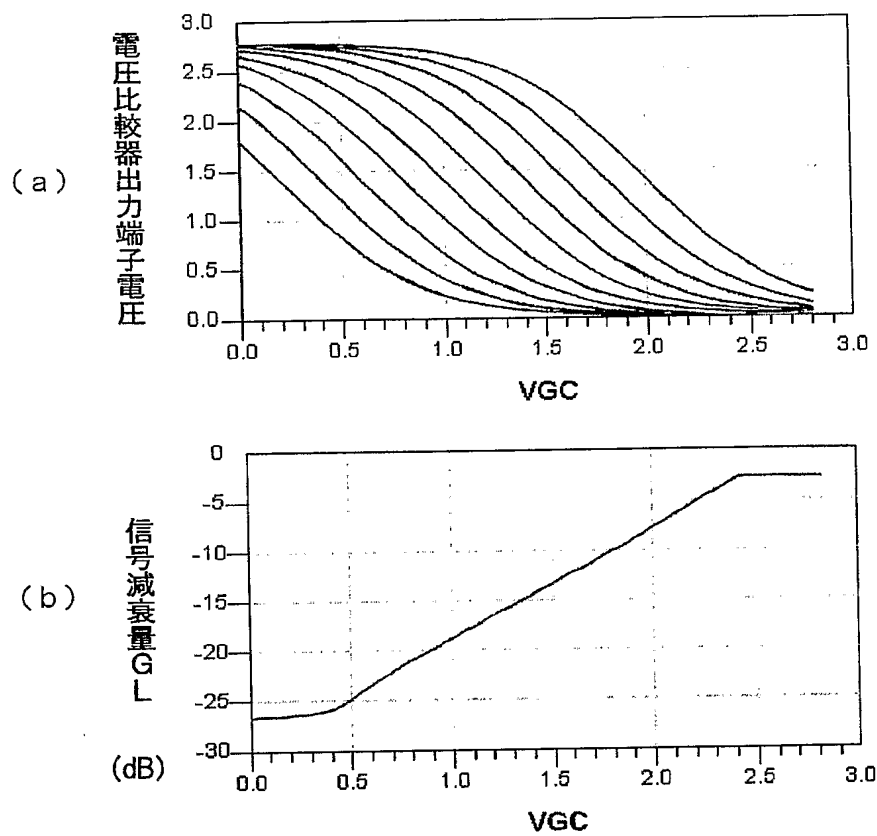
【図 5】



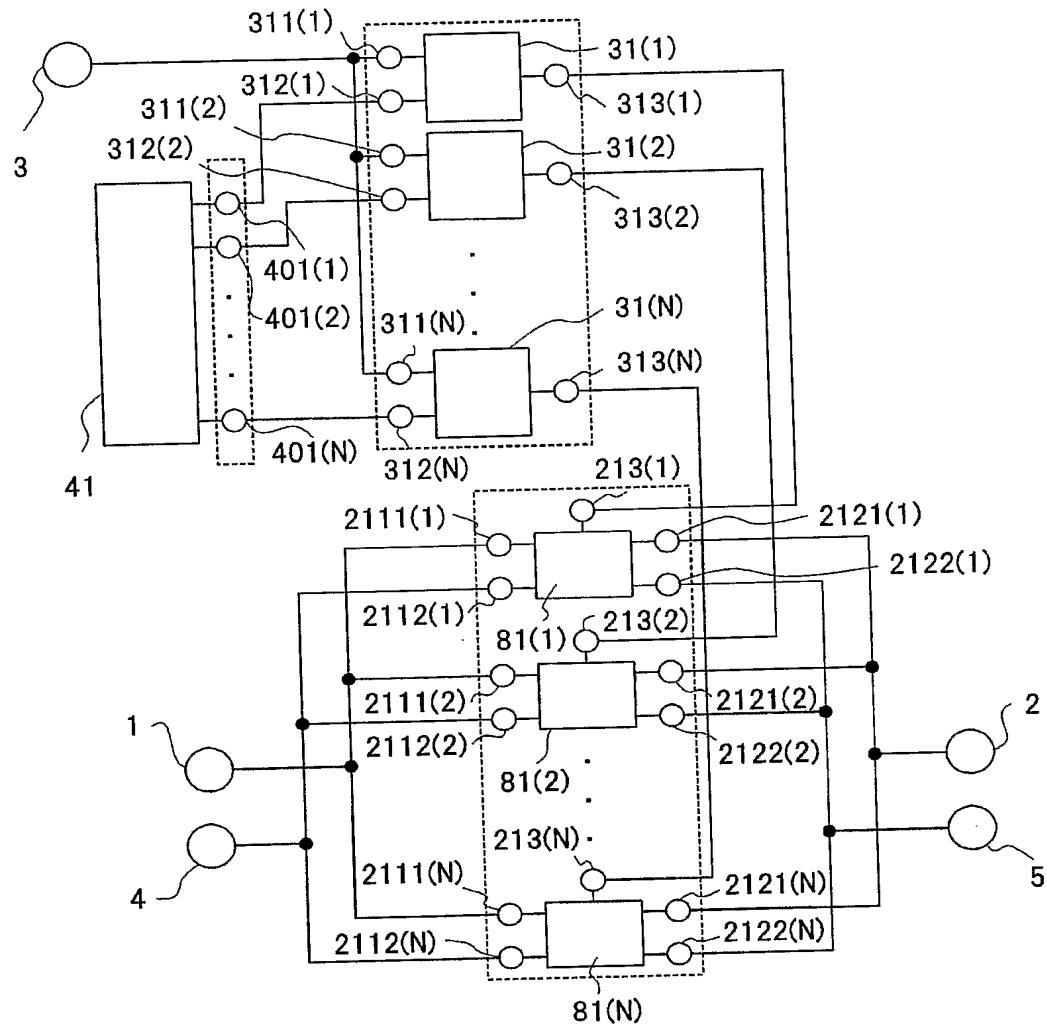
【図 6】



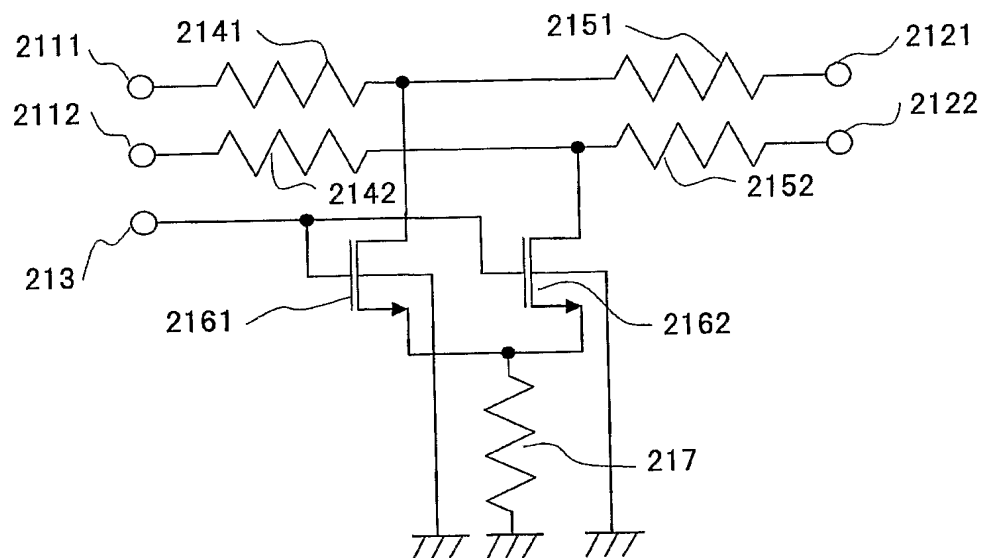
【図 7】



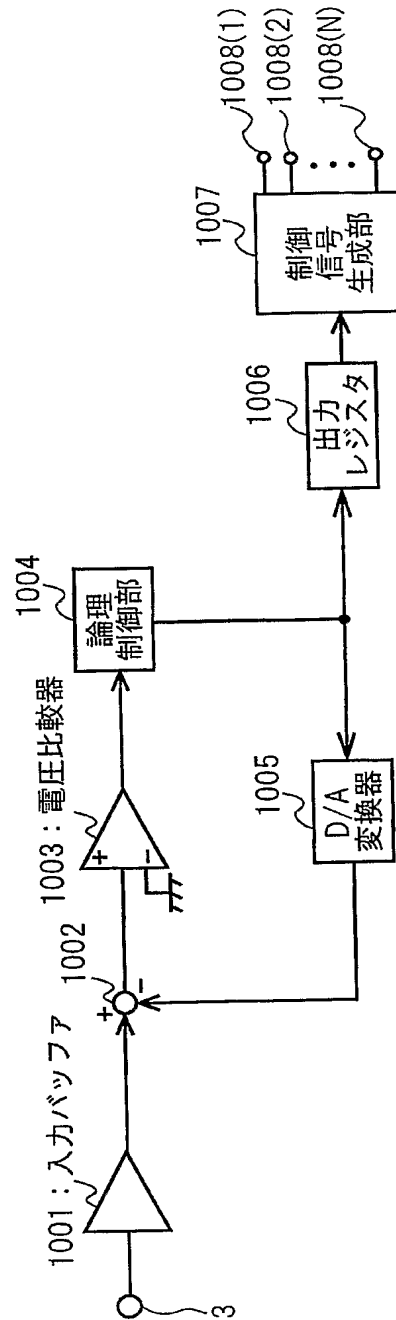
【図 8】



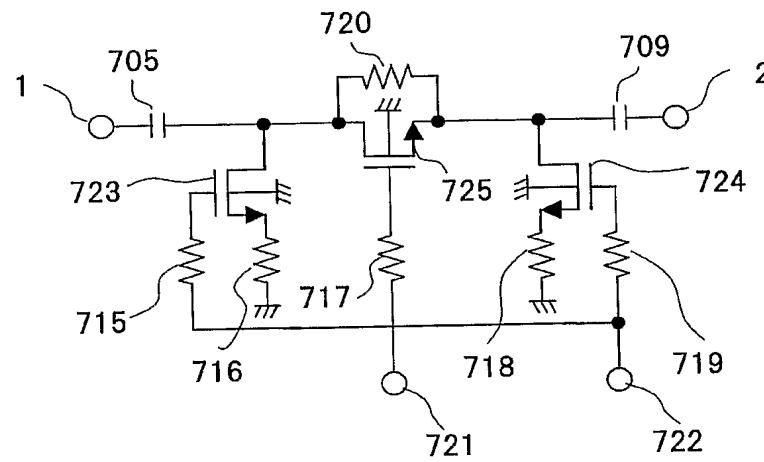
【図 9】



【図 10】



【図 1 1】



【書類名】要約書

【要約】

【課題】実効的に連続制御可能で製造ばらつきの小さい可変アッテネータ回路を提供する。

【解決手段】本発明の可変アッテネータ回路は、第1の信号入力端子と、第1の信号出力端子と、制御電圧を入力する第1の制御端子と、制御電圧をM個（Mは2以上の正整数）の制御信号に変換するアナログ／デジタル変換器と、第1の信号入力端子と第1の信号出力端子との間に並列及び／又は直列に接続され、いずれかの制御信号によってインピーダンスを可変されるN個（Nは $N \geq M$ の正整数）の可変インピーダンス素子と、を有する。

【選択図】図1

特願 2 0 0 3 - 4 3 0 7 3 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社